



Maple™

电气工程-最坏情况电路分析

Maple 软件提供“可计算的 Word”智能计算书环境,分析电压、电流、温度等的参数容差组合可能引起的潜在问题,以及连接物料清单文件、导入电路网表 netlist 生成方程、生成报告文件等。

最坏情况电路分析 (WCCA) 是一种电路可靠性分析设计技术,用于评估电路中所有器件参数发生最坏情况变化时的性能,从而确保电路的可靠性和安全性,以下是主要应用领域:

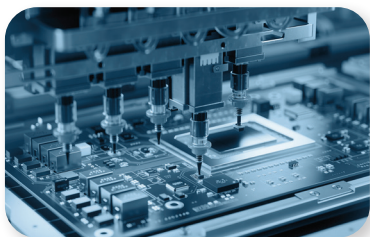


图:汽车电子控制器,分析电源波动和温度变化对电路的影响等

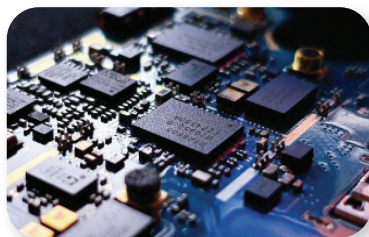


图:医疗设备,验证电路在元器件参数漂移时的安全性等

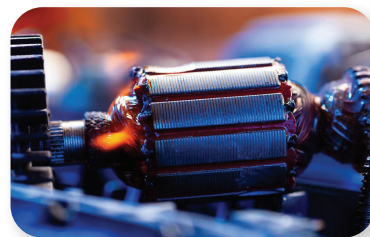


图:航空航天,确保飞行器电子系统在极端温度、振动和辐射环境下的可靠性

基于数学的 WCCA 分析

Maple 中的计算函数让电路分析和生成报告的工作流程更便捷,轻松实现以下基于数学的技术:

• 极值分析

- 对电路在所有元器件参数极端值组合情况下的行为进行仿真。例如,MCU的AD采集需分析参考电压噪声($\pm 5\%$)、分压电阻误差($\pm 2\%$)对转换精度的影响
- 可以实施对称和非对称的容差仿真

• 蒙特卡洛分析

- 从分布中随机选择参数,并对电路进行仿真,次数可以从 1,000 次到 100,000 次不等
- 生成统计直方图,计算最小值和最大值,查看结果的统计分布等

• 灵敏度分析

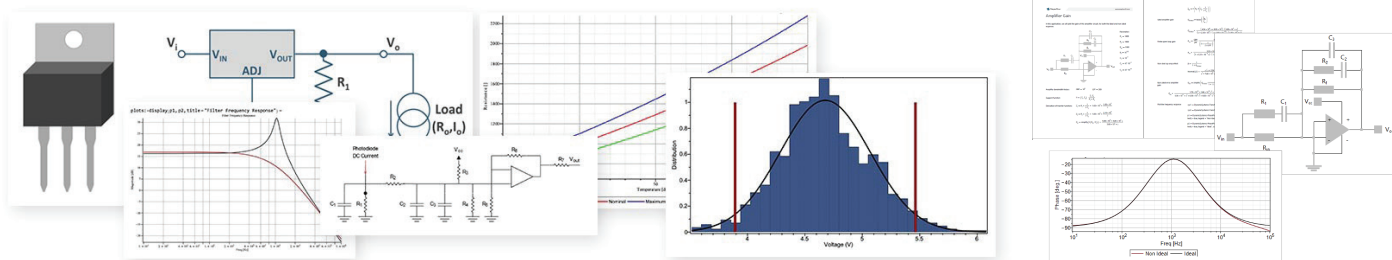
- 计算电路相对于每个元器件参数的符号或数值偏导数,识别哪些输入变量的变化会导致电路输出产生最大的变化
- 可以利用相位和幅度图来分析频率相关特性

• 平方根分析

- 使用了统计方法,假设大多数元器件遵循正态分布,而不是极端值

• 优化

- 在特定范围内变化元器件参数值来优化电路方程



Maplesoft

联系我们,获取免费试用版、技术交流等

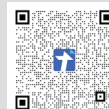
Maplesoft 枫数软件(上海)有限公司
上海市浦东新区世纪大道88号金茂大厦627室
400-062-6364 | china@maplesoft.com



公众号



Bilibili

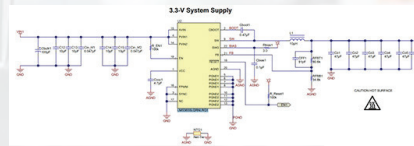


资料下载



高效整合计算与报告生成

- ① **使用自然的数学符号:**方便工程师检查、共享、重用和审核,避免因公式隐藏在单元格或者程序语言中而造成的麻烦和错误;
- ② **广泛的计算和绘图函数:**包括单位自动换算、方程求解、控制设计、二维和三维图形等;
- ③ **与其他电子工程工具相连,实现敏捷流程:**通过接口工具读写元器件物料清单BOM中的数据,导入EDA电路设计软件原理图生成的电路网表文件等;
- ④ **完成计算的同时生成文档报告:**完美地在一个工作表文件中将可执行的公式、文字、图表等结合在一起,完成计算的同时生成文档报告。
- ⑤ **报告即设计模板:**设计参数可转换为可轻松更改的变量,当设计发生变化时,只需要在首个定义点更新,更新将自动传递到整个文档,意味着工作表可以开发为设计模板,方便共享和重用。



Bill of Materials		Particulars	
Quantity	Part Number	Description	Manufacturer
1	7805	REGULATOR, POS, 5V, TO-18	ONSEMI
1	1000PF	CAPACITOR, 1000PF, 50V, 5% TOL	AVX
1	221K	RESISTOR, 221K, 1/4W, 5% TOL	YAGEO
1	221K	RESISTOR, 221K, 1/4W, 5% TOL	YAGEO
1	402K	RESISTOR, 402K, 1/4W, 5% TOL	YAGEO
1	10K	RESISTOR, 10K, 1/4W, 5% TOL	YAGEO



TABLE 12. WORST CASE PART PARAMETER TOLERANCE EXTREMES

PART DESIGN.	PARAMETER	NOMINAL VALUE	TOLERANCE		ANALYSIS VALUE	
			MIN %	MAX %	MIN	MAX
C1	CAPACITANCE	1000pf	5.7	5.6	943	1056
C2	CAPACITANCE	1000pf	5.7	5.6	943	1056
R1	RESISTANCE	221KΩ	1.16	1.59	21844	22451
R2	RESISTANCE	221KΩ	1.16	1.59	21844	22451
R3	RESISTANCE	221KΩ	1.16	1.59	21844	22451
R4	RESISTANCE	402KΩ	1.16	1.59	39233	40839
R5	RESISTANCE	10KΩ	1.16	1.59	9984	10199

4.2.3 Band-Pass Requirement/Specification

The primary circuit parameter being examined in this example is the center frequency. The circuit specification is as follows:

$$f_0 = 100\text{kHz} \pm 2\%$$

$$f_0 \text{ max} = 102000\text{Hz} \quad f_0 \text{ min} = 98000\text{Hz}$$

4.2.4 Worst Case Analysis:

This analysis will examine the worst case shift in the center frequency of the band-pass filter. To simplify the analysis, the equation for the center frequency is given as

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R_1 + R_2}{R_1 R_2 C_1^2 C_2}} \quad \text{or} \quad f_0 = \frac{1}{2\pi} \sqrt{\frac{1}{R_1 R_2 C_1^2 C_2} + \frac{1}{R_1 R_2 C_2^2}}$$

The directional sensitivity of each part, by inspection, is negative (-).

来自客户的反馈:电子工程师喜欢 Maple 的原因

强大的数学功能与自动化的单位处理

“它消除了单位转换错误”

在定义变量时分配单位,并让它们在整個分析和报告中自动传递。

“求解器命令信手拈来,随取随用”

内置6000多种高效的数学函数,通过极值分析、蒙特卡洛分析、参数分析和平方根分析,高效省时。

数据导入与工具间无缝集成

“我可以轻松导入元器件的数据”

从电子表格和文本中导入数据,以便在最坏情况电路分析WCCA中使用。

“在工具间传递结果可以避免手工输入错误”

创建的Maple工作表,它能够根据EDA工具中的参数更新而自动更新,并将这些参数输入到应力分析、降额限制、材料清单以及随设计规范变化而更新的最终结果中。

高效的工作流程与模板重用

“通过创建可重用的模板,我节省了大量时间”

在Maple中构建可重用的电路方程和专用功能库,以便在新项目中使用。

“MathCAD迁移助手帮我转换了以前的工作成果,节省了我很多时间”

通过迁移助手小程序将以前MathCAD创建的文件自动转换为Maple Flow文件,保留了以前的工作。



WCCA模板和结果报告：3.3-v System Supply

基于规范 SSD-D-210C 18 June 2001 WORST CASE ANALYSIS AND PART DERATING GUIDELINES AND CRITERIA

1. 版本信息

编制单位:	Maplesoft
编制人:	硬件工程师
工具:	Maple 2025
版本:	20250501

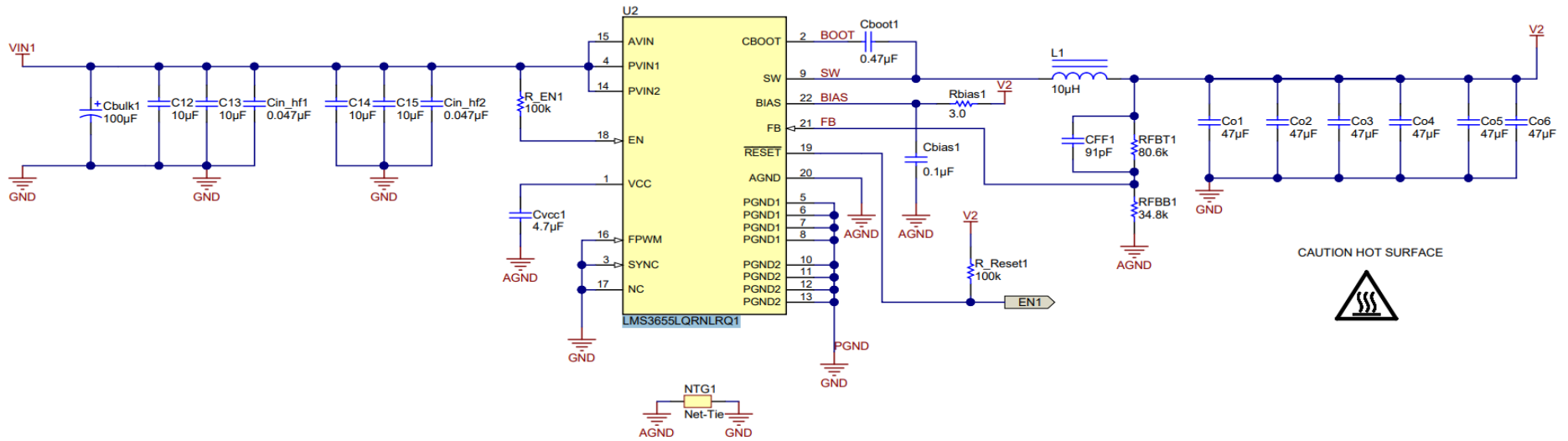
附件信息	文件名	版本
设计要求	Calculations.xlsx	20250101
BOM清单	Parameters.xlsx	20220205
网表信息	spice.cir	Test Buck Revision: 20240326 Test Circuit Revision: 20250501



加载Syrup，单位计算Units，优化Optimization工具包，使用模块化编程实现WCCA分析功能

2. 电路示意图

3.3-V System Supply



描述电路基础运行目标，设备的用途，以及牌号等基础信息。
明确待分析的电回路，明确关键引脚的连接对象，以及电路中其他的特殊工况等信息。



调用Syrup工具包中的命令 `Syrup:-Solve` 从网表生成符号形式的电路方程

3. 电路输入

列举电路的输入

	Description	Value
Vin	Input Voltage	[9. V 13.8 V 18. V]

4. 元器件信息

列举计算中每个元器件的基础额定值，以及容差范围：（由BOM表读入这些信息）

Tabulate(dfParameters, width = 80, alignment = left, weights = [10, 20, 20]) :

	Description	Value
Vin	Input Voltage	[9. V 13.8 V 18. V]
Iload	Load Current	[0. A 2. A]
R1	R1	[48.403 kΩ 49.9 kΩ 51.397 kΩ]
R2	R2	[12.028 kΩ 12.4 kΩ 12.772 kΩ]
Rds_on__U1	Resistance of Internal FETs in U1	[10. mΩ 20. mΩ 50. mΩ]
V_FB__U1	Feedback Voltage of U1 at nominal Vin	[0.98 V V 1.02 V]
I_FB__U1	Leakage Current of FB pin	[-μA 0 μA]
LineRegulation__U1	Line Regulation of U1	[0.0014 $\frac{1}{V}$ 0.002 $\frac{1}{V}$ 0.0026 $\frac{1}{V}$]
LoadRegulation__U1	Load Regulation of U1	[0.0007 $\frac{1}{A}$ 0.001 $\frac{1}{A}$ 0.0013 $\frac{1}{A}$]
V_IN_NOM__U1	Input voltage where Line Regulation is 0	10. V

C1	C1	[7. μ F 10. μ F 13. μ F]
C2	C2	[0.07000000000000000 μ F, 0.10000000000000000 μ F, 0.13000000000000000 μ F]
C3	C3	[7. μ F 10. μ F 13. μ F]
C4	C4	[0.07000000000000000 μ F, 0.10000000000000000 μ F, 0.13000000000000000 μ F]

5. 计算要求及校核值

针对电路中关键点或关键元器件的参数要求及允许的限制范围；
其中Vout为关键校核点。

Tabulate(dfCalculations, width = 80, alignment = left, weights = [10, 10, 20, 20]) :

	Expression	Description	Limits
Vout	V_{out}	Output Voltage	<4.5 V, 5 V, 5.5 V>
V_IN[XU1]	$V_{IN_{XU1}}$	Input Voltage Range PN MM100	<5 V, undefined, 40 V>
PWRD_R1	$v_{R1} i_{R2}$	R1 Power	<undefined, undefined, 50 mW>
PWRD_R2	$v_{R2} i_{R2}$	R2 Power	<undefined, undefined, 50 mW>
I[L1]	i_{L1}	L1 Average Current	<- 5 A, undefined, 5 A>
DutyCycle[XU1]	$DutyCycle_{XU1}$	Duty Cycle	<0.05, undefined, 0.95>

V__C1	v_{C1}	Voltage C1	$\langle -50 \text{ V}, \text{undefined}, 50 \text{ V} \rangle$
V__C2	v_{C2}	Voltage C2	$\langle -50 \text{ V}, \text{undefined}, 50 \text{ V} \rangle$
V__C3	v_{C3}	Voltage C3	$\langle -10 \text{ V}, \text{undefined}, 10 \text{ V} \rangle$
V__C4	v_{C4}	Voltage C4	$\langle -50 \text{ V}, \text{undefined}, 50 \text{ V} \rangle$

▼ 6. 导入电路网表

导入电路网表CIR生成电路方程：

Test Buck Revision: 20240326

Test Circuit Revision: 20250501

CIR文件由Cadence OrCAD 创建的电路原理图导出Spice网表生成。

```

1 Buck Regulator Test Circuit
2 * Sources, loads, and Results
3 Vin IN 0 #Input Voltage
4 Iload OUT 0 #Output Current
5
6 * Definition of output voltage
7 .CONS Vout=v[OUT]
8 .VARS Vout
9
10 * Spice Netlist from Product Design
11 * values in () define parameter values of model, and this may need to be added to netlist manually or by procedure
12 XU1 IN LX OUT FB 0 ICBuck(LoadRegulation=LoadRegulation__U1,LineRegulation=LineRegulation__U1,V_FB=V_FB__U1,V_IN_NOM=V_IN_NOM__U1,Rds_on=Rds_on__U1,I_FB=I_FB__U1)
13
14 * Inductor
15 L1 LX OUT
16 * High side feedback resistor
17 R1 OUT FB
18
19 * Lowside feedback resistor
20 R2 FB 0
21
22 C1 IN 0
23 C2 IN 0
24 C3 OUT 0
25 C4 OUT 0
26 * Including Subcircuit model library
27
28 .SUBCKT ICBuck IN LX OUT FB GND
29 * State Space average model for Generic Buck Converter IC in regulation
30 * Parameters Rds_on, V_IN_NOM, LineRegulation, LoadRegulation, V_FB, I_FB
31 * Input Current
32 Iin IN GND i[Vout]*DutyCycle
33 * Feedback Current
34 I_FB FB GND
35
36 *
37 * Average Output Voltage ignoring switching losses, assuming high and low FETs have same Rds(on)
38 Vout LX GND (v[IN]-v[GND]-Rds_on*i[Vout])*DutyCycle-(v[GND]-Rds_on*i[Vout])*(1-DutyCycle)
39 0
40 * Find Duty Cycle such that feedback voltage matches internal reference voltage accounting for Line Regulation and Load Regulation
41 .CONS v[FB]-v[GND]=V_FB*(1+(LineRegulation*(v[IN]-V_IN_NOM)))*(1+LoadRegulation*i[Vout])
42 .VARS DutyCycle
43 *
44 * Testing limits
45 * Input Voltage
46 .constr V__IN=v[IN]-v[GND]
47 .vars V__IN
48 .ENDS ICBuck
49
50 .END

```

7. 分析结果说明（示例）

工况

假设数据表中的工作条件下的工况

阶跃负载响应和启动时间

由于相位裕度不足而未评估

线路调节

线路调节是衡量电路在变化的输入电压下维持指定输出电压的能力的指标。线路调节包含在反馈电压精度中，因此不被视为单独的项目

负载调节

负载调节是衡量电路在变化的负载条件下维持指定输出电压的能力的指标。负载调节包含在反馈电压精度中，因此不被视为单独的项目。

精度

总体精度考虑了线路调整率、负载调整率、参考电压漂移、误差放大器电压漂移、外部采样电阻容差和温度系数的影响。稳压电源的输出电压变化主要是由于恒压参考源的温度变化和差分放大器特性的温度变化以及采样电阻容差造成的。

WCCA分析结果



加载文档处理工具包，使用编程方式生成WCCA分析结果



使用模块化编程实现WCCA分析计算

InsertContent(Worksheet(T)) :

WCCA		
Parameter Value		
	Description	Value
Iload	Load Current	[0. A 2. A]
R1	R1	[48.403 kΩ 49.9 kΩ 51.397 kΩ]
R2	R2	[12.028 kΩ 12.4 kΩ 12.772 kΩ]
Vin	Input Voltage	[9. V 13.8 V 18. V]
I_FB_U1	Leakage Current of FB pin	[-μA 0 μA]
Rds_on_U1	Resistance of Internal FETs in U1	[10. mΩ 20. mΩ 50. mΩ]
V_FB_U1	Feedback Voltage of U1 at nominal Vin	[0.98 V V 1.02 V]
V_IN_NOM_U1	Input voltage where Line Regulation is 0	10. V
LineRegulation_U1	Line Regulation of U1	[0.0014 $\frac{1}{V}$, 0.002 $\frac{1}{V}$, 0.0026 $\frac{1}{V}$]
LoadRegulation_U1	Load Regulation of U1	[0.0007 $\frac{1}{A}$, 0.001 $\frac{1}{A}$, 0.0013 $\frac{1}{A}$]

V_{out}	Output Voltage					
$\frac{-\left(1 + \left(V_{in} - V_{IN_NOM_U1}\right) LineRegulation_{U1}\right) \left(\left(I_{load} + I_{FB_U1}\right) R2 + I_{load} R1\right) LoadRegulation_{U1} - R1 - R2}{+ I_{FB_U1} R2 R1} \left(\left(1 + \left(V_{in} - V_{IN_NOM_U1}\right) LineRegulation_{U1}\right) LoadRegulation_{U1} V_{FB_U1} + R2\right) V_{FB_U1}$						
	Min	Nom	Max	Design Margin -8.37%	Fail	
Spec	4.5 V	5 V	5.5 V			
Result	4.621198599 V	5.057314630 V	5.541846015 V			

$V_{IN[XU1]}$	Input Voltage Range PN MM100					
V_{in}						
	Min	Nom	Max	Design Margin 55%	Pass	
Spec	5 V	<i>undefined</i>	40 V			
Result	9. V	13.8 V	18. V			

$PWRD_{R1}$	R1 Power					
$- \left(R1 \left(- \left(1 + \left(V_{in} - V_{IN_NOM_U1} \right) LineRegulation_{U1} \right) \left(I_{load} LoadRegulation_{U1} - 1 \right) V_{FB_U1} + I_{FB_U1} R2 \right) \left(1 + \left(V_{in} - V_{IN_NOM_U1} \right) LineRegulation_{U1} \right) \left(-1 + \left(I_{load} + I_{FB_U1} \right) LoadRegulation_{U1} \right) V_{FB_U1} \right) / \left(\left(1 + \left(V_{in} - V_{IN_NOM_U1} \right) LineRegulation_{U1} \right) LoadRegulation_{U1} V_{FB_U1} + R2 \right)^2$						
	Min	Nom	Max	Design Margin 99.2%	Pass	
Spec	<i>undefined</i>	<i>undefined</i>	50 mW			
Result	0.0002783279542 W	0.0003288246743 W	0.0003896015764 W			

$PWRD_{R2}$	R2 Power				
$\frac{(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1})^2 (-1 + (I_{load} + I_{FB_{U1}}) LoadRegulation_{U1})^2 R2 V_{FB_{U1}}^2}{((1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1}) LoadRegulation_{U1} V_{FB_{U1}} + R2)^2}$					
	Min	Nom	Max	Design Margin 99.8%	Pass
Spec	undefined	undefined	50 mW		
Result	0.00007441673463 W	0.00008171194311 W	0.00009013389736 W		

$I[L1]$	L1 Average Current				
$\frac{(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1}) V_{FB_{U1}} + (I_{load} + I_{FB_{U1}}) R2}{(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1}) LoadRegulation_{U1} V_{FB_{U1}} + R2}$					
	Min	Nom	Max	Design Margin 60%	Pass
Spec	- 5 A	undefined	5 A		
Result	0.00007553084122 A	1.000081177 A	2.000087445 A		

$DutyCycle$	Duty Cycle			
$\left(- \left(-1 + (I_{load} + I_{FB_{U1}}) LoadRegulation_{U1} \right) R2 + R1 LoadRegulation_{U1} I_{load} - R1 - Rds_{on_{U1}} \right) \left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) V_{FB_{U1}} + R2 \left((I_{load} + I_{FB_{U1}}) Rds_{on_{U1}} + R1 I_{FB_{U1}} \right) / \left(\left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) (V_{in} LoadRegulation_{U1} + 2 Rds_{on_{U1}}) V_{FB_{U1}} + R2 (V_{in} + (2 I_{load} + 2 I_{FB_{U1}}) Rds_{on_{U1}}) \right)$				

	Min	Nom	Max	Design Margin 36.9%	Pass
Spec	0.05	<i>undefined</i>	0.95		
Result	0.2610082422	0.3668580248	0.5994506916		

V_{C1}	Voltage C1				
V_{in}					
	Min	Nom	Max	Design Margin 64%	Pass
Spec	- 50 V	<i>undefined</i>	50 V		
Result	9. V	13.8 V	18. V		

V_{C2}	Voltage C2				
V_{in}					
	Min	Nom	Max	Design Margin 64%	Pass
Spec	- 50 V	<i>undefined</i>	50 V		
Result	9. V	13.8 V	18. V		

V_{C3}	Voltage C3				
$\left(- \left(1 + \left(V_{in} - V_{IN_NOM_{U1}} \right) LineRegulation_{U1} \right) \left(\left(I_{load} + I_{FB_{U1}} \right) R2 + I_{load} R1 \right) LoadRegulation_{U1} - R1 - R2 \right) V_{FB_{U1}} + I_{FB_{U1}} R2 R1 \Big/ \left(\left(1 + \left(V_{in} - V_{IN_NOM_{U1}} \right) LineRegulation_{U1} \right) LoadRegulation_{U1} V_{FB_{U1}} + R2 \right)$					

	Min	Nom	Max	Design Margin 44.6%	Pass
Spec	- 10 V	<i>undefined</i>	10 V		
Result	4.621198599 V	5.057314630 V	5.541846015 V		

V_{C4}	Voltage C4				Design Margin 88.9%	Pass	
$\frac{-(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1}) ((I_{load} + I_{FB_{U1}}) R2 + I_{load} R1) LoadRegulation_{U1} - R1 - R2) V_{FB_{U1}} + I_{FB_{U1}} R2 R1)}{(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1}) LoadRegulation_{U1} V_{FB_{U1}} + R2)}$							
	Min	Nom	Max				
Spec	- 50 V	<i>undefined</i>	50 V				
Result	4.621198599 V	5.057314630 V	5.541846015 V				

8. 分析结论

Vout不符合要求，结论为“未通过”。

*****电路设计改进和优化*****

敏感度和贡献度分析

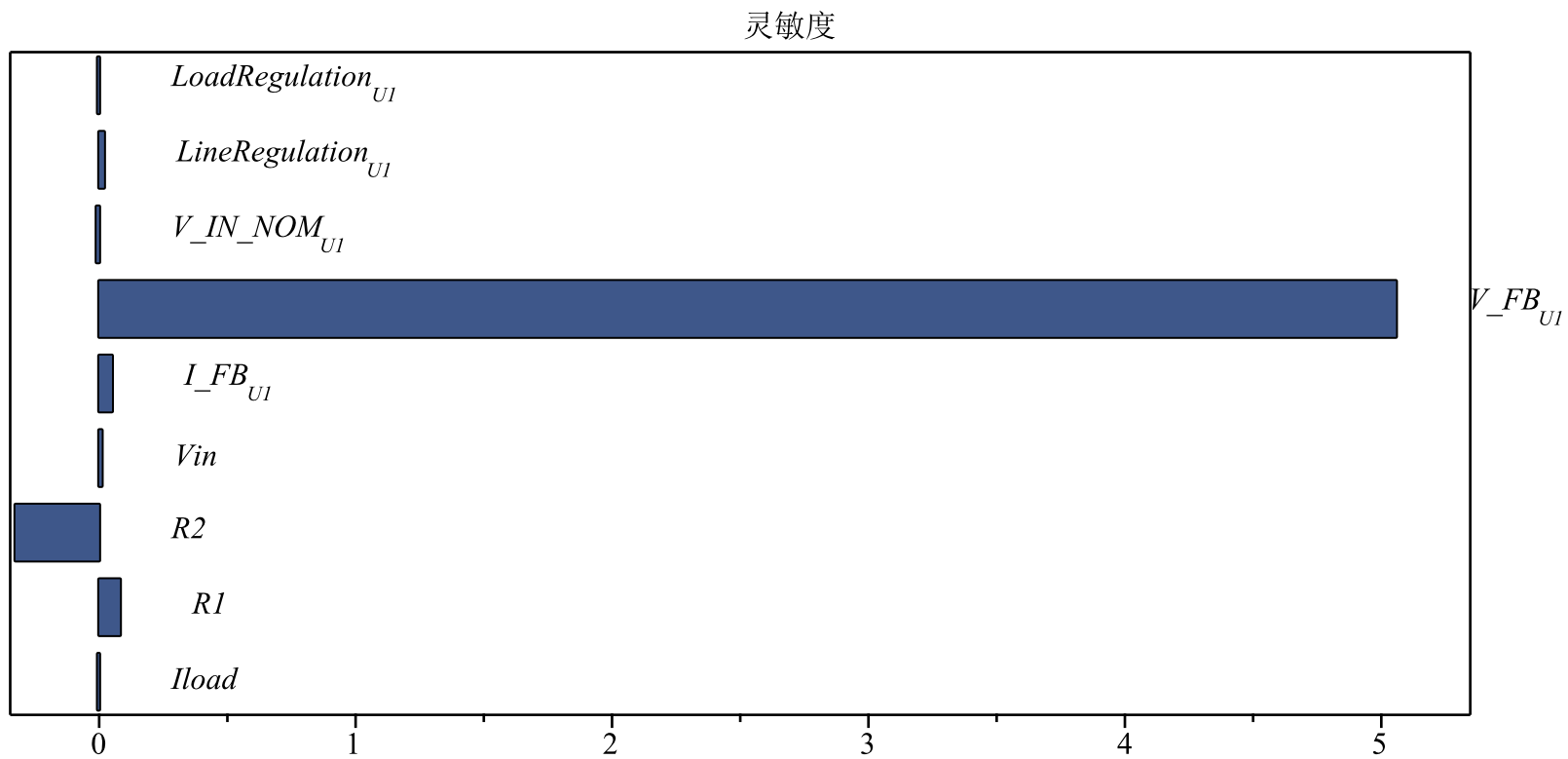
以上的WCCA分析结果发现输出电压在当前的电路设计在当前的BOM参数容差下不符合OEM的要求，需要调整设计。



with(Statistics):

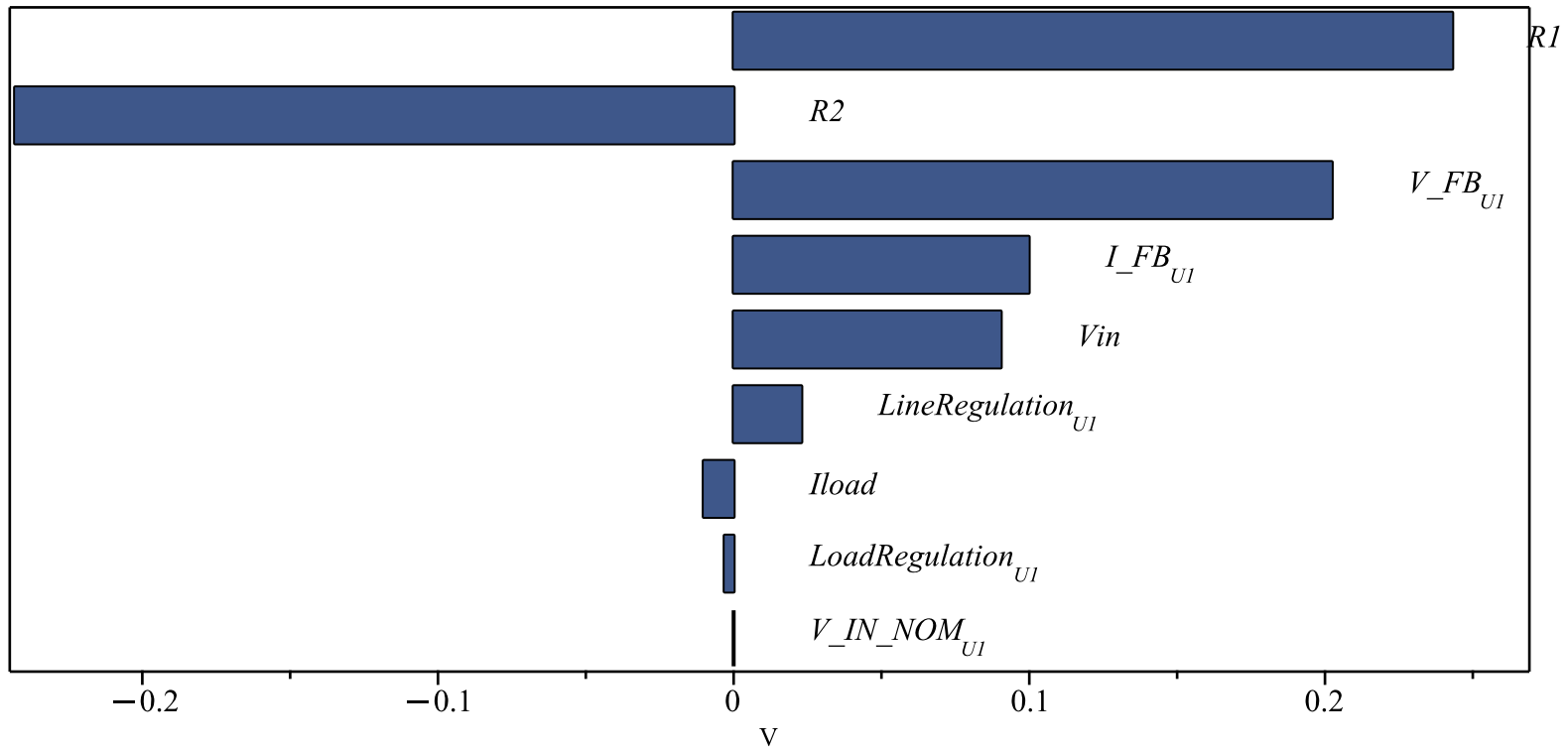
通过计算每个参数的灵敏度以及贡献度。可以得到以下参数列表结果。
通过观察可以发现R2的占比较高。

Bar1



Bar2

各参数对输出方差的贡献



根据贡献度优化元器件型号

针对R2，在parameters.xls中调节其参数容差值0.97与1.03为0.99与1.01

```
Vector[row](⟨12.4 * Unit(kOmega) * 0.99, 12.4 * Unit(kOmega) * 1, 12.4 * Unit(kOmega) * 1.01⟩)
```

修改后再次运行，查看结果报告。

WCCA分析结果

restart



加载Syrup和单位计算Units工具包，使用模块化编程实现WCCA分析功能



调用Syrup工具包中的命令 `Syrup:-Solve` 从网表生成符号形式的电路方程



加载文档处理工具包，编程方式实现WCCA结果表格



模块化编程实现WCCA分析计算

InsertContent(Worksheet(T)) :

WCCA
Parameter Value

	Description	Value
Iload	Load Current	[0. A 2. A]
R1	R1	[48.403 kΩ 49.9 kΩ 51.397 kΩ]
R2	R2	[12.276 kΩ 12.4 kΩ 12.524 kΩ]
Vin	Input Voltage	[9. V 13.8 V 18. V]
I_FB_U1	Leakage Current of FB pin	[-μA 0 μA]
Rds_on_U1	Resistance of Internal FETs in U1	[10. mΩ 20. mΩ 50. mΩ]
V_FB_U1	Feedback Voltage of U1 at nominal Vin	[0.98 V V 1.02 V]
V_IN_NOM_U1	Input voltage where Line Regulation is 0	10. V
LineRegulation_U1	Line Regulation of U1	[0.0014 $\frac{1}{V}$, 0.002 $\frac{1}{V}$, 0.0026 $\frac{1}{V}$]
LoadRegulation_U1	Load Regulation of U1	[0.0007 $\frac{1}{A}$, 0.001 $\frac{1}{A}$, 0.0013 $\frac{1}{A}$]

<i>V_{out}</i>	Output Voltage
$- \left(\left((I_{load} + I_{FB_{U1}}) R2 + I_{load} R1 \right) LoadRegulation_{U1} - R1 - R2 \right) \left(1 + (Vin - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) V_{FB_{U1}} + I_{FB_{U1}} R1 R2$ $LoadRegulation_{U1} \left(1 + (Vin - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) V_{FB_{U1}} + R2$	

	Min	Nom	Max	Design Margin 9.61%	Pass
Spec	4.5 V	5 V	5.5 V		
Result	4.694360789 V	5.057314630 V	5.451962525 V		

$V_{IN[XUI]}$	Input Voltage Range PN MM100			Design Margin 55%	Pass
V_{in}					
	Min	Nom	Max		
Spec	5 V	<i>undefined</i>	40 V		
Result	9. V	13.8 V	18. V		

$PWRD_{R1}$	R1 Power			Design Margin 99.3%	Pass	
$- (R1 (- (Iload LoadRegulation_{UI} - 1) (1 + (Vin - V_{IN_NOM}_{UI}) LineRegulation_{UI}) V_{FB_{UI}} + I_{FB_{UI}} R2) V_{FB_{UI}} (- 1 + (Iload + I_{FB_{UI}}) LoadRegulation_{UI}) (1 + (Vin - V_{IN_NOM}_{UI}) LineRegulation_{UI})) / (LoadRegulation_{UI} (1 + (Vin - V_{IN_NOM}_{UI}) LineRegulation_{UI}) V_{FB_{UI}} + R2) ^ 2$						
	Min	Nom	Max			
Spec	<i>undefined</i>	<i>undefined</i>	50 mW			
Result	0.0002895345908 W	0.0003288246743 W	0.0003741071337 W			

$PWRD_{R2}$	R2 Power		

$$\frac{V_{FB_{U1}}^2 \left(-1 + (I_{load} + I_{FB_{U1}}) LoadRegulation_{U1} \right)^2 \left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right)^2 R2}{\left(LoadRegulation_{U1} \left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) V_{FB_{U1}} + R2 \right)^2}$$

	Min	Nom	Max	Design Margin 99.8%	Pass
Spec	<i>undefined</i>	<i>undefined</i>	50 mW		
Result	0.00007589033304 W	0.00008171194311 W	0.00008831301095 W		

I[L1] | L1 Average Current

$$\frac{\left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) V_{FB_{U1}} + (I_{load} + I_{FB_{U1}}) R2}{LoadRegulation_{U1} \left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) V_{FB_{U1}} + R2}$$

	Min	Nom	Max	Design Margin 60%	Pass
Spec	- 5 A	<i>undefined</i>	5 A		
Result	0.00007704630327 A	1.000081177 A	2.000085698 A		

DutyCycle
[XU1] | Duty Cycle

$$\frac{\left(- \left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) \left(\left(-1 + (I_{load} + I_{FB_{U1}}) LoadRegulation_{U1} \right) R2 + R1 LoadRegulation_{U1} I_{load} - R1 - Rds_on_{U1} \right) V_{FB_{U1}} + \left((I_{load} + I_{FB_{U1}}) Rds_on_{U1} + R1 I_{FB_{U1}} \right) R2 \right)}{\left(\left(1 + (V_{in} - V_{IN_NOM_{U1}}) LineRegulation_{U1} \right) \left(V_{in} LoadRegulation_{U1} + 2 Rds_on_{U1} \right) V_{FB_{U1}} + \left(V_{in} + (2 I_{load} + 2 I_{FB_{U1}}) Rds_on_{U1} \right) R2 \right)}$$

	Min	Nom	Max	Design Margin 37.9%	Pass
Spec	0.05	<i>undefined</i>	0.95		
Result	0.2651397859	0.3668580248	0.5899062497		

V_{C1}	Voltage C1				
V_{in}					
	Min	Nom	Max	Design Margin 64%	Pass
Spec	- 50 V	<i>undefined</i>	50 V		
Result	9. V	13.8 V	18. V		

V_{C2}	Voltage C2				
V_{in}					
	Min	Nom	Max	Design Margin 64%	Pass
Spec	- 50 V	<i>undefined</i>	50 V		
Result	9. V	13.8 V	18. V		

V_{C3}	Voltage C3				
$\frac{- \left(\left(I_{load} + I_{FB_{U1}} \right) R2 + I_{load} R1 \right) LoadRegulation_{U1} - R1 - R2 \left(1 + \left(V_{in} - V_{IN_NOM_{U1}} \right) LineRegulation_{U1} \right) V_{FB_{U1}} + I_{FB_{U1}} R1 R2}{LoadRegulation_{U1} \left(1 + \left(V_{in} - V_{IN_NOM_{U1}} \right) LineRegulation_{U1} \right) V_{FB_{U1}} + R2}$					

	Min	Nom	Max	Design Margin 45.5%	Pass
Spec	- 10 V	<i>undefined</i>	10 V		
Result	4.694360789 V	5.057314630 V	5.451962525 V		

V_{C4}	Voltage C4			Design Margin 89.1%	Pass	
$\frac{-\left(\left(I_{load} + I_{FB_{U1}}\right) R2 + I_{load} R1\right) LoadRegulation_{U1} - R1 - R2}{LoadRegulation_{U1} \left(1 + \left(Vin - V_{IN_NOM_{U1}}\right) LineRegulation_{U1}\right) V_{FB_{U1}} + I_{FB_{U1}} R1 R2} \left(1 + \left(Vin - V_{IN_NOM_{U1}}\right) LineRegulation_{U1}\right) V_{FB_{U1}} + R2$						
	Min	Nom	Max			
Spec	- 50 V	<i>undefined</i>	50 V			
Result	4.694360789 V	5.057314630 V	5.451962525 V			

分析结果

通过观察，在优化了R2后，所有的结果满足要求。在WCCA规范指导下，该电路满足OEM的要求。